

⑫ 公開特許公報(A)

昭61-24255

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)2月1日

H 01 L 23/28

7738-5F

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 半導体パッケージ構造

⑯ 特 願 昭59-144291

⑰ 出 願 昭59(1984)7月13日

⑱ 発 明 者 曾 我 太 佐 男 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
 ⑱ 発 明 者 栗 原 保 敏 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
 ⑱ 発 明 者 八 野 耕 明 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
 ⑱ 発 明 者 中 野 文 雄 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内
 ⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑳ 代 理 人 弁理士 高橋 明夫 外2名

明 細 書

発明の名称 半導体パッケージ構造

特許請求の範囲

1. 複数の半導体チップと、この半導体チップの載置される基板と、前記基板と前記半導体チップとの対向する電極端子間に形成されたはんだパンブと、このはんだパンブ周囲の空隙部を充填し、且つ、前記半導体チップを包囲して形成された樹脂被覆とからなる半導体装置において、

前記基板は有機複合基板であり、前記基板の裏面にスルーホールを介したピン付入出力端子もしくは平面端子による面付入出力端子を設け、前記樹脂被覆の厚さを前記半導体チップ面より高くし、前記樹脂被覆の形状を円柱状、もしくは角柱状にし、前記半導体チップの相互間の樹脂に空隙を設けたことを特徴とする半導体パッケージ構造。

発明の詳細な説明

〔発明の利用分野〕

本発明は、半導体チップの電極端子をはんだにより多層プリント基板上の電極端子に接合した後、

樹脂により被覆した複数の半導体チップのパッケージ構造に関する。

〔発明の背景〕

スルーホール基板にチップを樹脂コートして封止する方法として、ハイブリッド基板に一個のチップを搭載している例(特公昭57-50070)がある。しかし、マルチチップ構造で樹脂コートして封止した実施例はない。

従来、Siチップの端子を基板の端子にはんだ付けする手法としてCCB(Controlled Collapse Bonding)法が知られている。CCBチップを搭載したパッケージ構造はAl₂O₃基板上の端子へのはんだ付が一般的であり、チップ周囲をAlのキャップ及び樹脂で封止するAxialpinタイプのパッケージが知られている。温度サイクル条件が同一ならばSiチップの熱膨張係数($\alpha = 2.7 \times 10^{-6}/^{\circ}\text{C}$)とAl₂O₃の熱膨張係数($\alpha = 6.8 \times 10^{-6}/^{\circ}\text{C}$)との差、及び距離(d)が、はんだパンブを破壊することによりこの実装における熱疲労寿命を決定する。プロセス等のばらつきを考

慮すると、最外周のはんだバンプ間距離として6mmφ(チップ寸法としては約4.5~5.0mmφ)で、厳しい条件下で十五年の寿命が限界であることを確認している。しかし、Siチップ寸法の大型化、多層化の要求が強く、例えば、8~10mmφチップに対して、十五年の寿命を保证するには、 $\alpha = 4 \times 10^{-6}/^{\circ}\text{C}$ 程度の熱膨張係数をもつ多層基板が必要である。これに適した基板として単に熱膨張係数だけならばムライト($2\text{SiO}_2 \cdot 3\text{Al}_2\text{O}_3$)等があるが、①多層化プロセス技術が確立されていないこと、② Al_2O_3 基板以上に高価になること、③機械的強度が弱いこと等の問題があるため、実用化する上で難点をもっている。

また、 Al_2O_3 基板を用いたとき、耐湿性を向上させるためにシリコンゲルを被覆すると、裸チップに比較して約20%熱疲労寿命が低下することを確認している。

〔発明の目的〕

本発明の目的は、Siチップとの熱膨張係数の差の大きな有機多層基板に対しても、従来の Al_2O_3

O_3 基板上に裸チップを搭載したものよりも数倍の耐熱疲労性をもつ複数チップの高密度実装のための半導体パッケージ構造を提供するにある。

〔発明の概要〕

従来の考え方では、 Al_2O_3 基板よりも熱膨張係数の大きな有機多層基板を用いた場合、CCBの寿命は Al_2O_3 基板を用いた場合より低下するのが常識であつた。本発明は、熱膨張係数の大きな有機多層基板上に接合されたSiチップの周囲に、ある特定の樹脂を特定の構造に被覆することにより、従来の Al_2O_3 基板上に搭載された裸チップの寿命より、数倍の耐熱疲労寿命となることを見出し、複数個搭載したチップに適用するための手法と製法を示したものである。熱疲労寿命を大きく伸ばすことができる原因は、樹脂の熱膨張係数がはんだバンプに近づくことにより、チップと基板間で生じる熱膨張係数の差による熱応力を、伸び剛性の大きい樹脂全体で受けるため、従来のように、最外周のはんだバンプの局所的な歪による破壊がなくなつたためと考えられる。樹脂の変形は、

はんだ自体にとつても、熱膨張係数が近いので負担にならない。

〔発明の実施例〕

以下、本発明を実施例に基づいて説明する。

まず、本発明の被覆樹脂材料について説明する。エポキシ樹脂の熱膨張係数 α は約 $100 \times 10^{-6}/^{\circ}\text{C}$ であり、半導体チップ、例えば、Siチップの熱膨張係数 $\alpha_{\text{Si}} = 3 \times 10^{-6}/^{\circ}\text{C}$ や、有機多層基板、例えば、ガラスエポキシ基板の熱膨張係数 $\alpha_{\text{FSG}} = 125 \times 10^{-6}/^{\circ}\text{C}$ に比べて大きい。一般に、耐熱疲労性を向上させるには、熱膨張係数が半導体チップや基板のそれに近い被覆樹脂を適用することが望ましい。

そこで、エポキシ樹脂、もしくは、ポリイミド樹脂に石英粉のように、熱膨張係数の小さな無機材料を混入して低膨張化するようにしている。例えば、体積にして50%の石英粉を混入すると、熱膨張係数 α は約 $25 \times 10^{-6}/^{\circ}\text{C}$ に低下する(この値は、はんだ自体の熱膨張係数の値と同等であることから、伸び剛性の大きい樹脂の変形に

従うため、特に、最外周のはんだバンプの変形を緩和する作用となることが予想される)。しかし、石英粉の混入率を高くするに従つて樹脂の粘度が高くなり、流動性が低下すると、被覆工程で、はんだバンプ周囲の空隙部に樹脂が侵入しにくくなつて、空隙部が残つたり、基板との密着性が低下したり、被覆の作業性が低下するという問題が生じる。この結果、逆に耐熱疲労性及び耐湿性が低下してしまうことがある。

例えば、泡程度の空隙がはんだバンプ近傍に残ると空隙近傍で応力集中が激しく、温度サイクル試験では、充てんされた試料に比べ、熱疲労寿命が極端に短くなることが認められた。また、高温放置試験による耐湿性試験でも、充てんされた試料に比べ、導通チェックによる寿命を比較した結果、明らかに耐湿性が低下することが認められた。

また混入率を高くすると樹脂の柔軟性が低下して、基板及びSiチップとの接合部に応力が集中するため、この応力により基板及びSiチップが

破損されてしまうことが起きてくる。

従つて、単に低膨張材を混入して低膨張化するだけでは、耐熱疲労性の向上に限度があるため、さらに樹脂の流動性及び柔軟性を改善する必要がある。

そこで、本発明は低膨張材に加えて球形である粒状の弾性材料、例えば、ポリブタジエン、ポリイソブレンシリコン等のゴム粒子を分散混入し、これによつて柔軟性及び流動性を向上させる。つまり、被覆樹脂内のゴム粒子は応力緩衝材として作用するので柔軟性が向上して応力集中や歪が緩和され、これによつて耐熱疲労性を向上させる。また、粒状のゴム粒子の作用によつて流動性を向上させる。

しかし、ゴム粒子の混入率にも最適な範囲がある。例えば、粒径1 μm レベルのポリブタジエンからなるゴム粒子を混入した場合、エポキシ樹脂に対するゴム粒子の重量比を100対20以上（以下、重量部又は部と称し、例えば20部以上と表現する）にすると、ゴム粒子の分散が不均一

になつてしまい、ポリブタジエンの熱膨張係数 α は約 $80 \times 10^{-6}/^{\circ}\text{C}$ と大きいので、混入後の被覆樹脂の熱膨張係数 α が大となつてしまい、耐熱疲労性を低下させる原因となる。また、流動性も飽和現象があるので大幅向上は期待できない。

これらのことを、実験結果に基づいて説明する。第1表に、エポキシ樹脂を主材料とし、粒径約1 μm の石英粉を低膨張材とし、粒径約1 μm のポリブタジエンの均一なゴム粒子を緩衝材とし、それらの混入率の異なる種々の樹脂により被覆した半導体装微を試料として、前述と同一の温度サイクル試験を行なつた判定結果を示す。なお、基板、Siチップ及びはんだパンプはSiチップを一個としたものと同一構成のものとし、樹脂の厚さ、樹脂の面積は同一とし、判定は樹脂被覆を施さない裸チップのものと比較して、早いサイクルで故障に至つた試料を不合格として×印で示し、合格したものは故障率を基準に、優れている順に○、△印で示した。なお、試験条件は-55～150℃、1 ω /hの温度サイクルである。

第 1 表

		ポリブタジエン混入率(重量部)						
		0	1	5	10	15	20	25
石英粉混入率(体積%)	0	×	×	×	×	×	×	×
	20	×	×	×	△	△	×	×
	30	×	×	△	△	△	×	×
	35	×	△	○	○	△	×	×
	40	×	△	○	○	△	△	×
	50	×	△	○	○	△	△	×
	55	×	△	○	○	△	△	×
	60	×	×	○	○	△	△	×
	65	×	×	△	△	×	×	×

また、被覆樹脂には硬化温度を低くするための添加材、例えば、硬化促進剤としてイミダゾルを5重量%、硬化剤としてジシアンアミドを10重量%、シランカップリング剤を2重量%等を混入し、硬化温度130℃、硬化時間を一時間とした。

第1表に示す判定結果から、低膨張材と緩衝材の混入効果について考察する。まず、ポリブタジエンの混入率が0部、即ち、石英粉のみを混入した試料は、全て裸チップのものより悪い判定結果となつているが、樹脂被覆された試料相互間で定量的に比較すると、石英粉の混入率を高めるにつれて熱疲労寿命が増大するということを実験で確認している。但し、石英粉の混入により流動性が低下して、Siチップ下とはんだパンプの周囲への浸透が悪くなるので、この点からみて、石英粉の混入率は60～65体積%が限界である。

一方、ポリブタジエンは若干混入するだけで、急激に故障率が低下し、緩衝材及び流動化材としての効果が顕著に表われ、耐熱疲労性も裸チップよりも優れた特性が得られた。但し、ポリブタジ

エン混入率を高くすると、前述のように、その分散が不均一となり、耐熱疲労性が低下する。

これらのこと、及び、第1表から、石英粉の混入率は30～60体積%、ポリブタジエンゴム粒子の混入率は1～20部の範囲に選定することにより、裸チップよりも優れた耐熱疲労性のものとすることができる。例えば、石英粉50体積%、

ポリブタジエン5部を混入したものの耐熱疲労性(寿命)は、裸チップの三倍以上となり、信頼性が大幅に向上した。

なお、低膨張化材には石英の他、炭酸カルシウム、炭化シリコン、窒化シリコン、又は、酸化ベリリウム混入の炭化シリコン等のように、熱膨張係数の小さな無機材料が適用可能である。この低膨張化材の粒径も、前述の実施例の1 μm に限られるものではない。

また、弾性材としてはポリブタジエンゴム粒子の他、シリコーンゴム粒子等のように、いわゆる弾性の大きなゴム粒子が適用可能であり、その粒径にも、1 μm に限られるものではない。

また、樹脂の中にカーボンブラックを約1%入れることにより、信頼性に影響を与えないで黒色に着色させることができる。樹脂は長時間使用すると表面が劣化し変色する。このため、特性は変わらなくとも不安感をいだかせることになる。そこで黒色もしくは赤色(ベンガラ混入)に着色させることにより、劣化による変色が目立たず、安心し

て使用することができる利点がある。

次に、樹脂被覆の形状について説明する。

前述したように、石英粉等の低膨張化材を混入しても、エポキシ樹脂の熱膨張係数 α は基板やSiチップに比べてまだ大きな値である。そして、それらの部材間の熱膨張量の差により生じる応力によつてSiチップ、はんだパンプ、基板、又はそれらの部材の接続部が破損される。実験によると、はんだパンプとSiチップとの接続部が、繰返し応力に対して最も弱いことが分かった。

そこで、その接続部に発生する応力を低減することができる樹脂被覆の形状、即ち、Siチップ上面の被覆厚みと、Siチップ周辺部の被覆幅を有限要素法により求めた。

即ち、Siチップ上面の被覆厚み1mmとしたとき、はんだパンプとSiチップの接続部にかかる最大応力(破損に関係する引張応力)を求め、第13図(A)に裸チップにおける最大引張応力に対する比率として示した。なお、第13図(B)、(C)に示すように、基板、Siチップは6mm角、はんだパ

ンプは球欠体形状のものとし、樹脂被覆は全体幅を15mm角一定としたものをモデルとし、図示矢印の方向の最大応力を求めた。矢印の位置における応力は、温度が室温から100℃に変化したときは引張応力となり、室温から-40℃に変化したときは圧縮応力になる。

第13図(A)から明らかなように、樹脂8の被覆厚み1が増すにつれて、Siチップ1とはんだパンプ4の接続部にかかる最大引張応力が大きくなり、被覆厚み1は薄いほどよいということになるが、機械的保護及び耐湿性保護から許容最小厚みが制限され、1は0.1~1.0mmの範囲で選定することが望ましい。

一方、第14図(A)にSiチップの周辺に形成される樹脂被覆の幅 L/a と、接続部にかかる最大応力との関係を示す。なお、モデルは第14図(B)、(C)に示すように第13図(B)、(C)と同様のものであり、被覆厚さ1を1.5mm一定、Siチップの幅を2a、Siチップ端縁から被覆外縁までの寸法、即ちSiチップ周辺域に形成される被覆の幅を L

とした。

第14図(A)に示すように L/a が増すにつれて最大引張応力が減少する傾向にある。このことは、周辺域の被覆幅 L が広くなると、被覆幅 L の中心(図示O、O')より内側の被覆が温度上昇時に内側方向に伸び、これによつてSiチップに対して圧縮方向に応力が作用すると考えられる。なおこのことは計算によつて確認された。

従つて、 L/a を大にすれば最大引張応力を減少することができる。即ち、被覆樹脂の熱膨張係数が大であつても、被覆形状を適切なものとするにより、裸チップのものよりも耐熱疲労性を向上させることができる。しかし、 $L/a \geq 2.0$ 以上にしても、最大引張応力の低減効果が小さくなる反面、基板と樹脂被覆との接着部が破損しやすくなること、及び高密度実装を考慮すると、 L/a は0.5~1.0が望ましい範囲である。一例を示せば、Siチップ上面の被覆厚み0.3mm、 L/a は0.8とすれば無理な力がかからない構造になる。

以上、本発明の被覆樹脂材料、被覆形状をそれぞれ個別に適用した実施例について説明したが、それらの実施例を組合わせることによつて、一層耐熱疲労性の優れたものになる。本発明で述べている高信頼性構造とは、被覆の材料、形状共に適正の域にあることであり、一方が欠けると裸チップの寿命以下になるおそれがある。

なお、半導体チップの半導体素子が形成されている面は、はんだバンプが接合されている面であるが、一般に、この面には SiO_2 又はポリイミドなどの薄膜により保護されている。しかし、はんだバンプが接合されている部分はそれらの薄膜が形成されていないため、耐湿性の問題について考察する。一般に知られているDIP (Dual In-line Package) 型の第15図に示す樹脂モールド半導体装置では、リードフレームのタブ9上にSiチップ1の裏面をはんだ付され、素子10側の端子はAu線11を熱圧着法で接続し、その全体を樹脂モールドする。ところが、リード線11と樹脂12との界面を伝わって水分が侵入し、さらに

Au線11を伝わってSiチップ1上のAu配線13を腐食させて、断線する故障が知られている。しかし、第1図に示すように、本発明では、基板上の樹脂被覆部分14にDIPのリードのような引出し線が無いこと、基板と樹脂も同系統の樹脂材であること等から、界面を伝わる水分の侵入がDIP構造に比べて少ないことが予想される。さらに、はんだ(Pb-5%Sn, Pb-60%Sn等)4はAu材に比べ耐食性に優れ、総じて耐湿性にも優れていると言いうことができる。

なお、被覆樹脂の表面16を平坦にする理由は、単に重力による作用だけで薄く被覆すると、第2図に示すように、チップ1の端部17で樹脂が不連続な形状になり、温度サイクル試験を行なうと、不連続が顕著になり応力集中によるはんだバンプの寿命低下、そして耐湿性の低下につながるためである。そこで第3図に示すように、例えばテフロン材18で作った外枠を用いて、加圧して被覆樹脂を平坦にすると、この不連続現象は起こらず耐熱疲労性も、耐湿性も優れた構造となる。

樹脂の被覆方法は、第4図(A)に示すように、まず、チップ1の片側に樹脂9を載せ、基板2を斜めに傾けた状態で炉20の中を通すと、チップ下の空洞部21は完全に樹脂で満たされる(第4図(B))。その後、第8図に示した外枠を取りつけ、樹脂を添加して基板を水平に保つて、再度、炉を通し、外枠を外すことによりパッケージが出来上がる(第4図(C))。なお、セミキュアの状態で、真空脱泡すれば、さらに耐湿性に優れたパッケージが出来上がる。

この構造のパッケージを用いれば、耐熱疲労性も、耐湿性も優れたパッケージが得られることが分かつたので、この材料、構造を基本として、複数個のSiチップを搭載したマルチチップのパッケージへの適用を以下に示す。

Siチップを有機多層基板上に多数個搭載する場合、第5図のように、全面に樹脂8を被覆しても、樹脂の剛性が大で、基板との熱膨張係数の差が大きく、かつ、寸法効果により、温度サイクル試験を行なうと、最外周の界面22からクラック

が入り、容易に破壊してしまう。そこで、各々のSiチップ間(第6図のような小型チップの場合例えば、3mm前後のSiチップ1を四個近接させ、正方形に配列して一ブロックの中に入れてしまうことも、基板と樹脂間の界面が破壊せず、応力による素子特性への影響がなく、はんだバンプの寿命に影響を及ぼさない範囲で可能である)に、すき間23もしくは間隙を設けることにより、Siチップ間に作用する相互の力を消去させることで前述の高信頼性パッケージを可能にすることができ。すき間の作り方は第3図のようにテフロン枠をはさむ方法、封止後にダイサーにより機械的に切断する方法、レーザ等で切断する方法等がある。

第7図は9チップモジュールへの適用例を示したモデルである。約30°の勾配を持たせた多層基板2上のSiチップ1の端に、円柱状に加工した一定量の樹脂24を置き、120℃で十分間炉に放置するとチップ下の空隙部が完全に充てんされた(コンベア炉を用いたプロセスも可能)。その

後、図8のように、同一樹脂8を塗布して、上から圧縮25して樹脂を硬化させた。硬化条件は130℃で一時間である。圧縮時に図9に示す型26を用いると、第8図に示す構造が出来上がる。第8図の構造を作る手法としては、ダイサーを使用しても可能である。チップ間に100 μ mの間隙があれば、チップ間同士の熱応力の影響はない。なお、第8図(A)の多層板の下面の端子はスルーホールを介して接続されている銅パッド27である。ガラスエポキシの多層板を用いたパッケージを他のガラスエポキシ、もしくは、ガラスポリイミド等の多層基板に平面的にはんだ付しても、両者の熱膨張係数の差が少ないので高信頼性を維持できる。

第9図は八角柱構造の一例を示す。

第10図は円柱構造の一例を示す。

このように作られたパッケージは既にDIP以上に耐湿性に優れた構造であるが、さらに、耐湿性の向上を目的として、第10図に示すように、基板上的被覆されたSiチップを覆うようにAl

キャップ3をかぶせ、さらにスルーホールを介して入出力ピンをはんだ付した基板の裏面、及びAlキャップと基板間とのすき間5をうめるように耐浸水性のエポキシもしくはシリコン系の樹脂を被覆することにより、Siチップに対しては二重被覆になる。従つて、耐熱疲労性も、耐湿性も優れた低コストパッケージが可能である。

第11図はチップと基板間の空隙を埋める手段として、基板上的チップ中央部に相当する位置に、スルーホール28を設けておくことにより、一工程だけで可能なプロセスを示す。徐々に加圧する方法、加圧と基板裏からの吸引を併用する方法も効果がある。

第12図はスルーホールから樹脂を注入29して充てんする方法である。スルーホールを使用するガス抜き、もしくは注入法の場合、チップ中央部30に端子を設けることができないので、第12図(B)に示すような端子配置が必要である。

これらの樹脂被覆法はCCB接続チップに限らず、フェースダウン接続法であれば、チップと基

板間の間隙の大小を問わずに、可能である。

なお、Siチップのはんだバンプ組成はpb-5%Snとし、赤外線加熱法でSiチップ周囲を達へいして接続した。ピンのはんだ付はpb-60%Snの共晶系のはんだを用いて、はんだの温度階層性をもたせた。また、pb-Sn共晶系はんだ組成をSiチップのはんだバンプとすることも可能である。この場合、ピン付けにpb-10%Sn等の高温はんだを用い、さらに、このパッケージをプリント板等にはんだ付する場合は、再度、pb-Sn共晶系はんだ、もしくは、さらに、低融点はんだを使用すればよい。

ピン構造の場合のピッチは、Siチップのはんだバンプピッチを254 μ mとすれば、一つおきの場合、508 μ m、二つおきの場合、762 μ mになる。これらは、基板に整合層を設けることで可能である。

これら基板は有機多層基板だけでなく、Al₂O₃を含む多層セラミック基板に対しても可能である。
〔発明の効果〕

本発明によれば、ガラスエポキシ基板等を使用できるので、低コスト実装が可能となる。また、部品を搭載している回路基板と同一系統の樹脂を使用するため、整合性が良く、面付けした懸手の信頼性は高い。

また、超LSIのメモリチップを搭載する場合、 α 線の含有量の少ない有機樹脂で保護されるため、誤動作の少ない高信頼性実装となる。

図面の簡単な説明

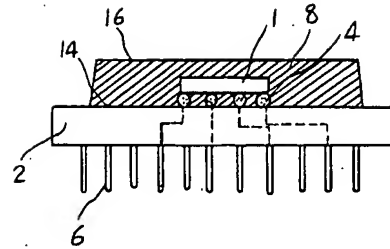
第1図は本発明の基本的効果を示す断面図、第2図は重力作用による被覆状態を示す断面図、第3図、第4図は樹脂被覆の平坦化プロセスを示す断面図、第5図、第6図は樹脂に溝を設けた場合の効果を示す断面図、第7図は本発明のプロセスを示す立体図(A、C)及び断面図、第8図は四角柱構造の断面図(A)、平面図(B)、第9図は八角柱構造の平面図(A)、断面図(B)、第10図は円柱構造の断面図(A)、平面図(B)、第11図は空隙を充てんする方法を示す断面図、第12図は空隙を充てんする方法を示す断面図(A)とチップの裏面を示すモ

デム図、第13図は樹脂被覆の厚さの効果を示すための説明図(A)と断面図(B、C)、第14図は樹脂被覆の幅の効果を示すための説明図(A)と断面図(B、C)、第15図はDIPの従来例の断面図である。

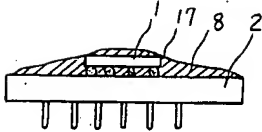
1…チップ、4…はんだ。

代理人 弁理士 高橋明夫

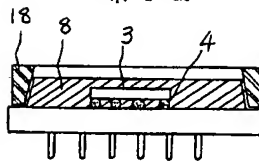
第1図



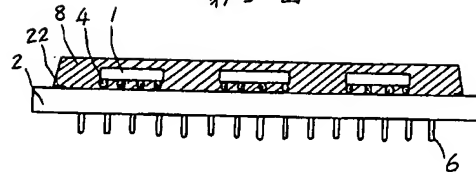
第2図



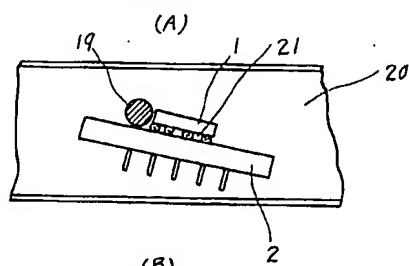
第3図



第5図



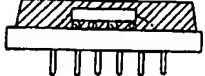
第4図



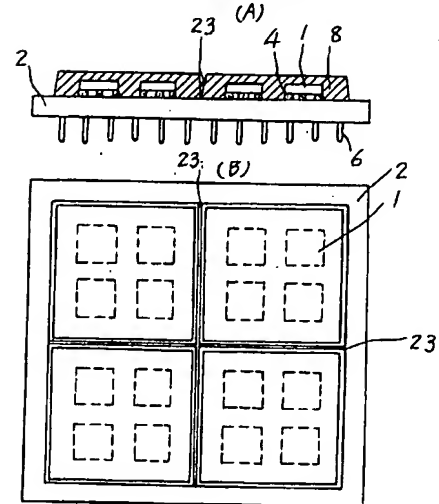
(B)

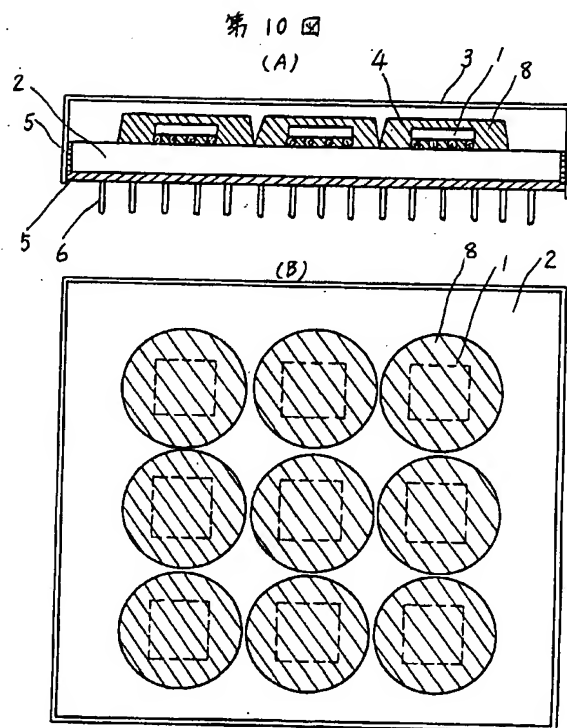
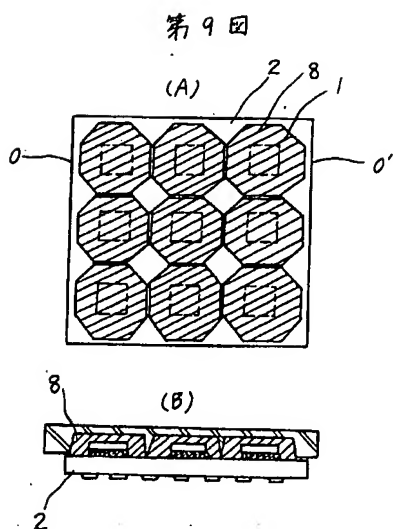
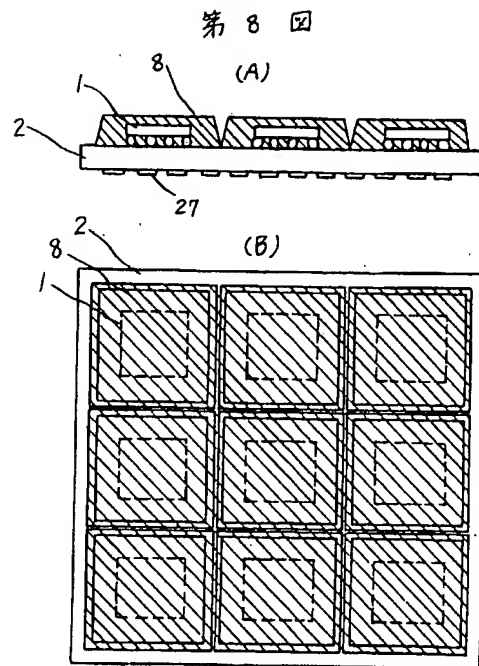
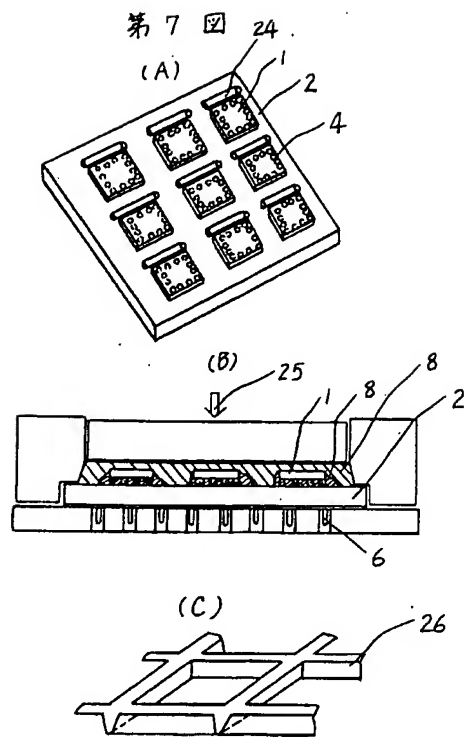


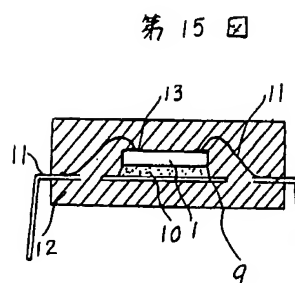
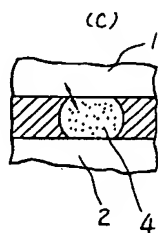
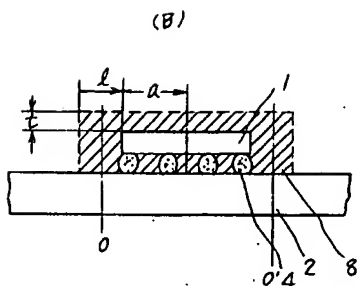
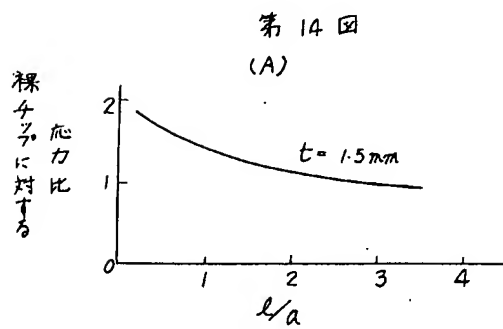
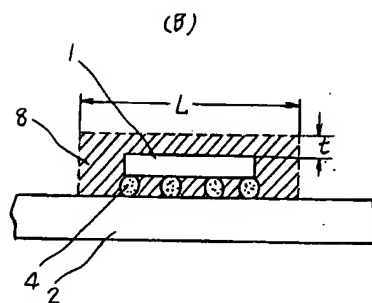
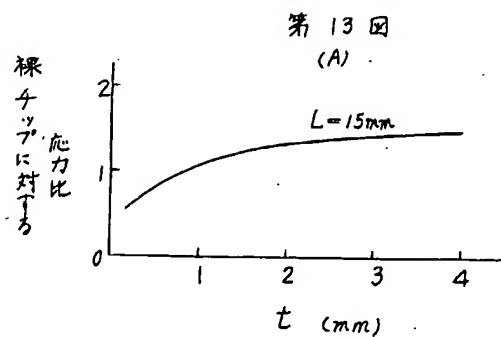
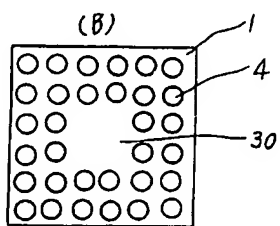
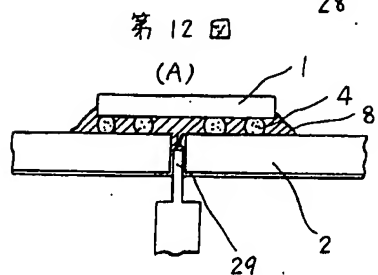
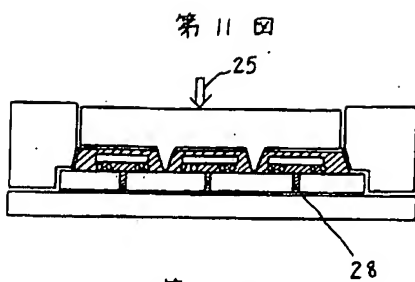
(C)



第6図







PAT-NO: JP361024255A
DOCUMENT-IDENTIFIER: JP 61024255 A
TITLE: STRUCTURE FOR SEMICONDUCTOR PACKAGE
PUBN-DATE: February 1, 1986

INVENTOR-INFORMATION:

NAME

SOGA, TASAO

KURIHARA, YASUTOSHI

YATSUNO, KOMEI

NAKANO, FUMIO

ASSIGNEE-INFORMATION:

NAME

HITACHI LTD

COUNTRY

N/A

APPL-NO: JP59144291

APPL-DATE: July 13, 1984

INT-CL (IPC): H01L023/28

US-CL-CURRENT: 257/724, 257/E23.125 , 257/E25.012

ABSTRACT:

PURPOSE: To enable to mount plural semiconductor chips with a high resistance of thermal fatigue in high density by a method wherein gaps are provided on a resin, with which the chips are sealed, in such a way that four pieces of chips are partitioned in a quadrangular form as a unit of one block.

CONSTITUTION: Numerous pieces of Si chips 1 are mounted on an organic multilayer substrate 2 and when the Si chips are coated

with a resin 8,
crevices 23 or gaps are provided on the resin 8 in such a
way that four pieces
of chips are partitioned in a quadrangular form as a unit
of one block. By
this way, the mutual forces to act between the chips are
eliminated to prevent
the generation of a crack and a highly reliable package can
be obtained. The
way to make the crevices include a way to insert a Teflon
frame in the
crevices, a way to mechanically cut the crevices using a
dicer after the
sealing, a way to cut them using a laser beam and so forth.

COPYRIGHT: (C)1986,JPO&Japio